

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

14428541

Basic Patent (No,Kind,Date): JP 9139479 A2 19970527 <No. of Patents: 006>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): TAKAHASHI SANEKATSU

IPC: *H01L-027/108; H01L-021/8242; H01L-027/04; H01L-021/822

CA Abstract No: 127(07)102969F

Derwent WPI Acc No: C 97-339385

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
CN 1161567	A	19971008	CN 96123395	A	19961114
CN 1079993	B	20020227	CN 96123395	A	19961114
JP 9139479	A2	19970527	JP 95319663	A	19951114 (BASIC)
JP 2874620	B2	19990324	JP 95319663	A	19951114
KR 255064	B1	20000501	KR 9654770	A	19961114
US 5683931	A	19971104	US 748636	A	19961113

Priority Data (No,Kind,Date):

JP 95319663 A 19951114

[19]中华人民共和国专利局

[51]Int.Cl⁶

H01L 21/02



[12] 发明专利申请公开说明书

[21] 申请号 96123395.8

[43]公开日 1997年10月8日

[11] 公开号 CN 1161567A

[22]申请日 96.11.14

[30]优先权

[32]95.11.14 [33]JP [31]319663 / 95

[71]申请人 日本电气株式会社

地址 日本东京都

[72]发明人 高桥实且

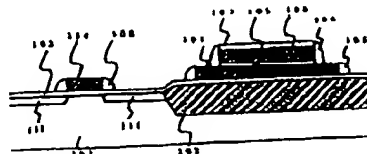
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 萧梅昌 张志醒

权利要求书 2 页 说明书 6 页 附图页数 19 页

[54]发明名称 在半导体衬底上制造电容器的方法

[57]摘要

在半导体衬底上形成电容器的方法, 包括: 相继形成覆盖该衬底的第1绝缘膜、第1导电膜、电介质膜、第2导电膜、第2绝缘膜、第1光刻胶材料。经曝光和显影确定第1光刻胶图形。用此图形作掩模, 各向异性腐蚀电介质膜、第2导电膜和第2绝缘膜以确定顶电极和电介质膜。除去第1光刻胶图形。在第1导电膜和留下的第2绝缘膜上设置第2光刻胶材料, 曝光和显影以确定第2光刻胶图形作掩模以各向异性干腐蚀第1导电膜, 确定底电极。



(BJ)第 1456 号

于半导体衬底中的空间电荷区而变化。

以下将参见图2 A 说明在半导体衬底上制造电容器的第2 常规方法。

参见图2 A, 在半导体衬底3 0 1 的表面上选择地形成场氧化膜3 0 2。在半导体衬底3 0 1 和场氧化膜3 0 2 上整地形成用氧化硅构成的栅绝缘膜3 0 3。然后, 在栅绝缘膜3 0 3 上整个地形成后面构成栅电极的多晶硅膜3 0 4。多晶硅膜3 0 4 的厚度范围是1 0 0 0 -2 0 0 0 埃。可任意包含多晶硅膜3 0 4, 代替单层多晶硅膜, 多晶硅膜和难熔金属的硅化物层的叠层。

参见图2 B, 用化学气相淀积法在整个多晶硅膜3 0 4 上淀积氧化硅制成的电介质膜3 0 5。电介质膜3 0 5 的厚度范围是1 0 0 -5 0 0 埃。溅射难熔金属靶如钨靶在电介质膜3 0 5 上整个淀积难熔金属的硅化物层3 0 6。难熔金属硅化物层3 0 6 的厚度范围是1 0 0 0 -2 0 0 0 埃。

参见图2 C, 用光刻法对难熔金属硅化物层3 0 6 和电介质膜3 0 5 刻图, 形成顶电极3 0 6 和电介质膜3 0 5。

参见图2 D, 在多晶硅膜3 0 4 和顶电极3 0 6 上整个形成氧化硅膜3 0 7。氧化硅膜3 0 7 的厚度是1 0 0 0 埃。

参见图2 E, 氧化硅膜3 0 7 上加光刻胶, 用光掩模曝光构图。形成光刻胶图形, 用光刻胶图形3 0 9 对氧化硅膜3 0 7 和多晶硅膜3 0 4 干腐蚀, 确定底电极3 0 4 和栅电极3 0 4。

参见图2 F, 用栅电极3 0 4 作掩模在半导体衬底3 0 1 中形成轻掺杂扩散层3 1 0。在栅电极3 0 4, 顶电极3 0 6 和底电极3 0 4 的侧壁上整个形成厚度范围为1 0 0 0 -2 0 0 0 埃的氧化硅膜, 然后对其进行各向异性干腐蚀, 形成侧壁氧化硅膜3 0 8。

如上所述, 各向异性腐蚀形成侧壁氧化硅膜之前, 预先形成厚度为1 0 0 0 埃的氧化硅膜3 0, 使在顶电极3 0 和栅电极3 0 4 上留有氧化硅膜3 0 7。栅电极3 0 4 上留下的氧化硅膜3 0 7 的厚度使光刻胶掩模3 0 9 的尺寸变化, 因而, 很难高精度确定栅电极3 0 4 上的光刻胶掩模3 0 9。因而难以获得没有任何尺寸变化的栅电极。

本发明的目的是提供一种在硅衬底上与MOS 场效应晶体管的电容器的新制造方法, 它没有上述的缺陷。

本发明的另一目的是提供一种在硅衬底上与MOS 场效应晶体管集成在一

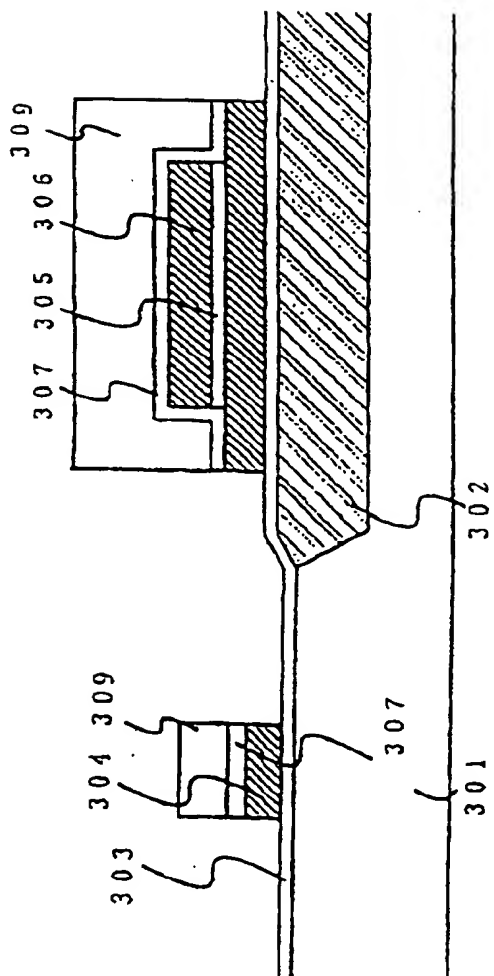


図 2E

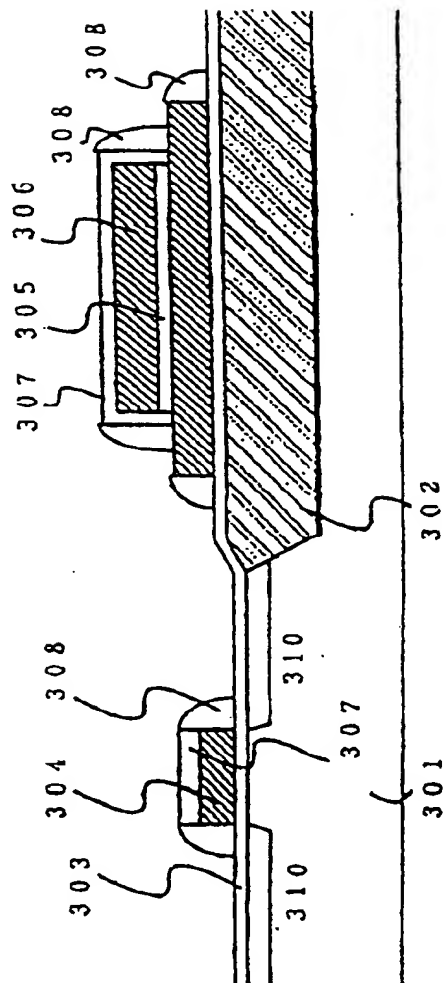


图 2F